

В.В. Довгий, І.Т. Когут, В.І. Голота

## Схемотопологічне моделювання перетворювачів рівнів сигналів для аналітичних мікросистем-на-кристалі

*Прикарпатський національний університет імені Василя Стефаника, вул. Шевченка, 57,  
Івано-Франківськ, 76000, Україна, e-mail: igorkohut2202@gmail.com*

В роботі наведено результати схемотопологічного проектування і комп'ютерного моделювання перетворювачів рівнів сигналу для інтегральних схем та аналітичних мікросистем на базовому матричному кристалі (БМК) зі структурами «кремній-на-ізоляторі» (КНІ).

**Ключові слова:** перетворювач рівнів сигналу, структура «кремній-на-ізоляторі», базовий матричний кристал, аналітична мікросистема-на-кристалі.

*Стаття постуила до редакції 21.12.2014; прийнята до друку 15.03.2015.*

### Вступ

Під час розробки елементів інтегральних схем (ІС), а особливо мікросистем-на-кристалі, в тому числі й аналітичних, що представляють собою, наприклад системи для дослідження не кремнієвих елементів в інтегральному виконанні та монолітно-інтегрованих безпосередньо в кристал спеціалізованої мікросхеми, часто виникає необхідність перетворення логічних сигналів з низькими рівнями, що використовуються у внутрішній частині мікросистеми в логічні сигнали з високими рівнями в периферійних формувачах сигналів зовнішніх пристроїв з подальшою їх обробкою та аналізом [1].

В роботі розглянуто особливості схемотехнічного і топологічного проектування перетворювачів рівнів сигналу з низького на високий для КМОН ІС, зокрема, на основі БМК та мікросистем-на-кристалі на їх основі зі структурами КНІ. Розроблено топологію перетворювачів рівнів на основі бібліотечних комірок БМК та спеціалізовану топологію, а також показано результати комп'ютерного схемотехнічного моделювання електричної схеми перетворювача рівнів та моделювання безпосередньо з врахуванням особливостей їх топологічної реалізації та інтегральної структури.

### I. Схемотехніка перетворювачів рівнів сигналу

Функція перетворювача рівнів сигналів полягає в

перетворенні логічних сигналів з низькою напругою в логічні сигнали з високою напругою, що контролює буферний пристрій. Також вони можуть виконувати й зворотну функцію. На рис. 1 зображено досліджувану електричну схему перетворювача рівнів сигналів з низького на високий без врахування паразитних ефектів та особливостей топології [2]. В цьому випадку для схемотехнічного моделювання враховуються тільки топологічні параметри КМОН транзисторів, а саме, довжина  $L$  і ширина  $W$  каналів, які подані на схемі перетворювача рівнів. Електрична схема перетворювача рівнів складається з вхідного інвертора (транзистори р-канальний P1, n-канальний N1), перетворювача рівнів (на транзисторах р-канальні P2, P3 та n-канальні N2, N3) і буферного формувача (на транзисторах - р-канальний P4, n-канальний N4). Перетворювач рівнів сигналів має дві напруги живлення: низьку  $V_{dd}$ , що становить 2 В для вхідного інвертора і високу  $V_{ddHV}$ , що становить 5 В для іншої частини схеми. Ширини каналів для всіх р-канальних транзисторів становлять 20 мкм, n-канальних транзисторів – 10 мкм, довжини каналів всіх транзисторів є однаковими і становлять 2 мкм. Такі розміри каналів транзисторів вибрані із врахуванням особливостей комірки БМК та рухливостей носіїв зарядів в каналах р- і n-канальних МОН-транзисторах [3].

Для проектування топології схеми перетворювача рівнів було використано комірку БМК [3] з попарним розташуванням послідовно з'єднаних 3-х р- і 3-х n-канальних транзисторів та 1-го р- і 1-го n-канального транзисторів і введенням повної діелектричної ізоляції таких КНІ МОН-транзисторних структур між собою. Перевагою такої комірки є і те, що стік - витокові області

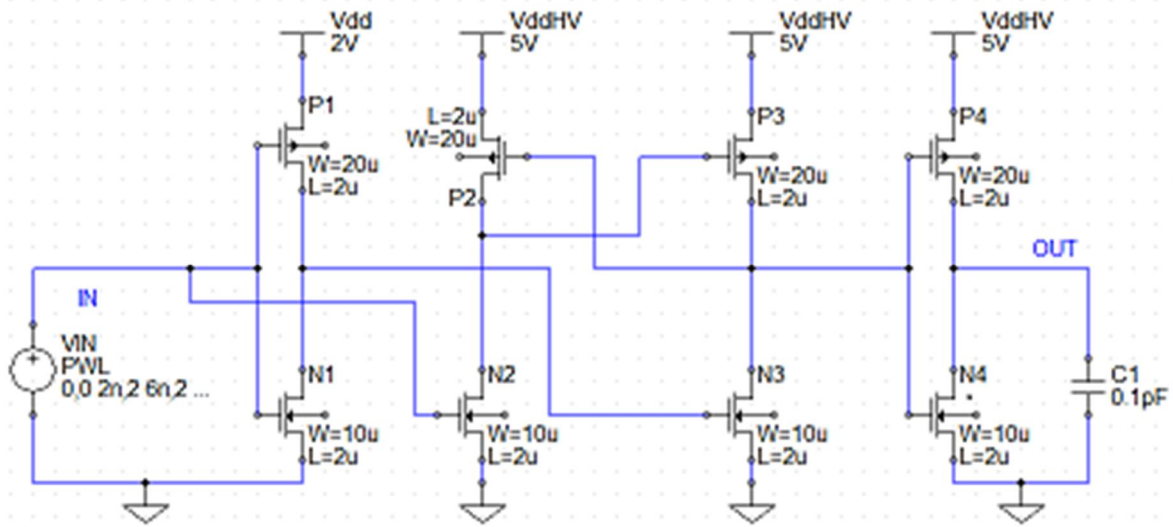


Рис. 1. Електрична схема перетворювача рівнів сигналу

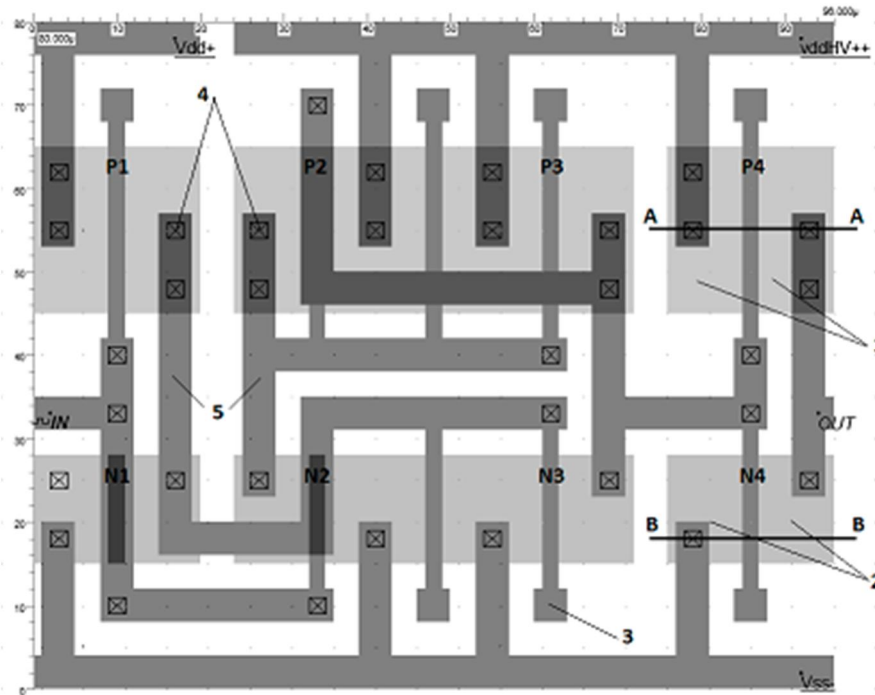


Рис. 2. Топологія перетворювача рівнів сигналів на комірни БМК

діелектрично та електрично ізованих між собою транзисторів можуть бути використані одночасно і як елементи комутації.

Топологію перетворювача рівнів сигналів зі структурою КНІ на комірни БМК зображено на рис. 2 [3, 4], а поперечні перетини р- і n-канальних КНІ МОН транзисторів відповідно по лініях А-А і В-В зображено на рис. 3, а, б.

На представленій топології (рис. 2) і поперечних перетинах активних структур р- і n-канальних КНІ

МОН-транзисторів (рис.3) цифрами позначено: 1 - стік-витокові області р-канальних КНІ МОН транзисторів; 2 – стік-витокові області n - канальних КНІ МОН транзисторів; 3 - полікремнієві затвори р- і n-канальних МОН-транзисторів; 4 - контакти; 5 - комутаційні з'єднання в шарі металізації.

Результати моделювання схеми електричної перетворювача рівнів відповідно до схеми рис. 1 з врахуванням вказаних розмірів транзисторів в системі TopSpice зображено на рис. 4.

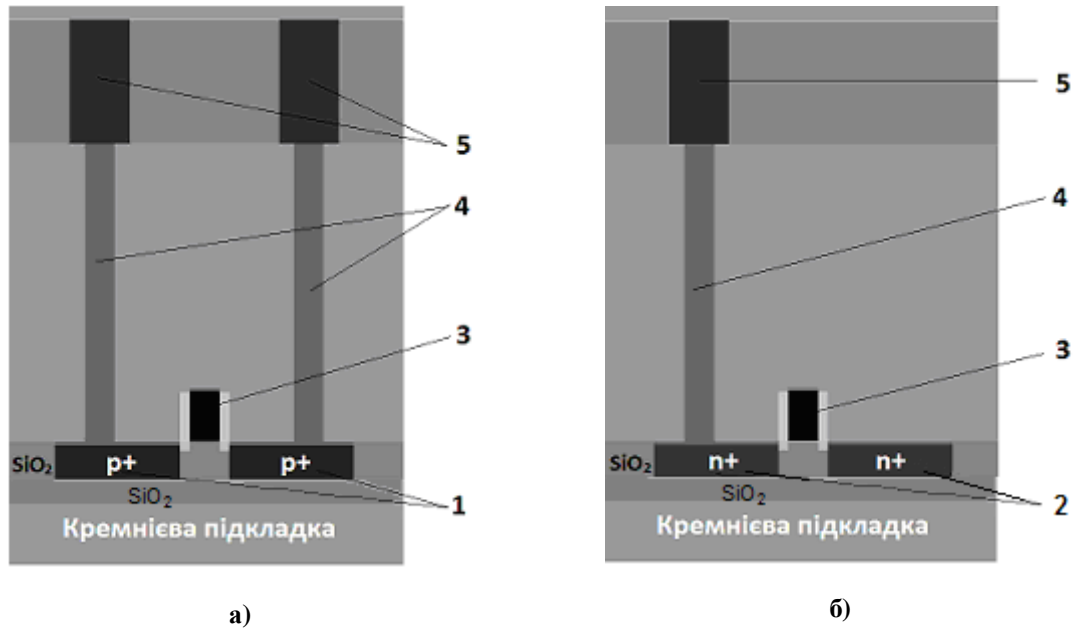


Рис. 3. Поперечні перетини p- і n-канальних КНІ МОП транзисторів по лініях відповідно: а) лінія А-А; б) лінія В-В згідно із рис. 2

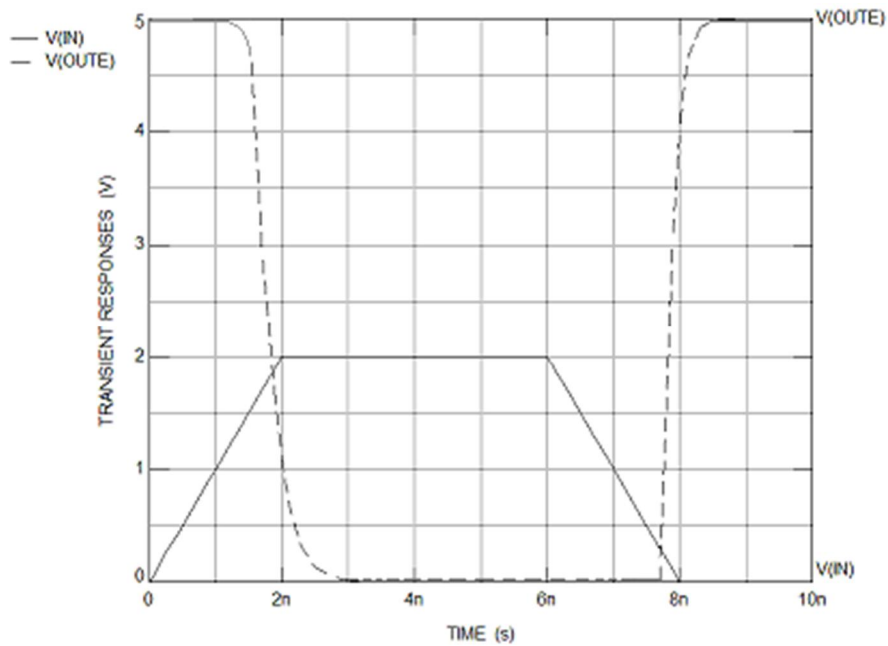


Рис. 4. Часова діаграма вхідного (суцільна лінія) та вихідного (пунктирна) сигналів

На рис. 4 суцільною лінією зображено вхідний сигнал з рівнем напруги 2 В, а штрих-пунктирною – вихідний сигнал з рівнем перетвореної напруги – 5 В, показано також часові параметри імпульсів. Такий перетворювач рівнів забезпечує добрі перетворення рівнів сигналів, а затримка вихідного сигналу відносно вхідного на рівні 0,5 амплітуди по передньому фронту становить не більше 0,8 нс для  $L = 2$  мкм топологічних довжин каналів транзисторів.

## II. Спеціалізована топологія перетворювача рівнів сигналів

В ІС з високим рівнем інтеграції і які мають декілька напруг живлення на одному кристалі існує необхідність перетворення сигналів з менш нижчих рівнів, наприклад із 1,2 В до 2,5 В. і подальшого використання таких перетворювачів в одній ІС або мікросистемі-на-кристалі. Для цього також було спроектовано і досліджено шляхом моделювання топологію даного перетворювача рівнів сигналу відповідно до електричної схеми рис. 1, але не на

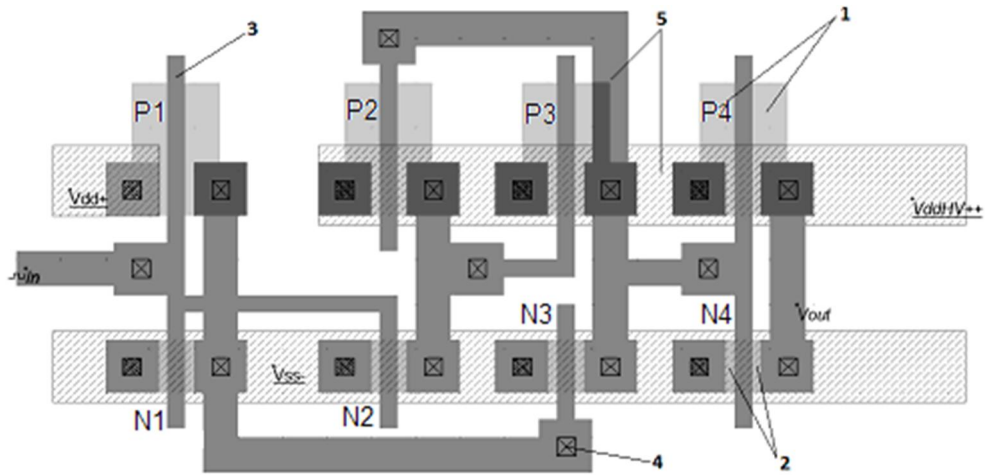


Рис. 5. Спеціалізована топологія перетворювача рівнів сигналів

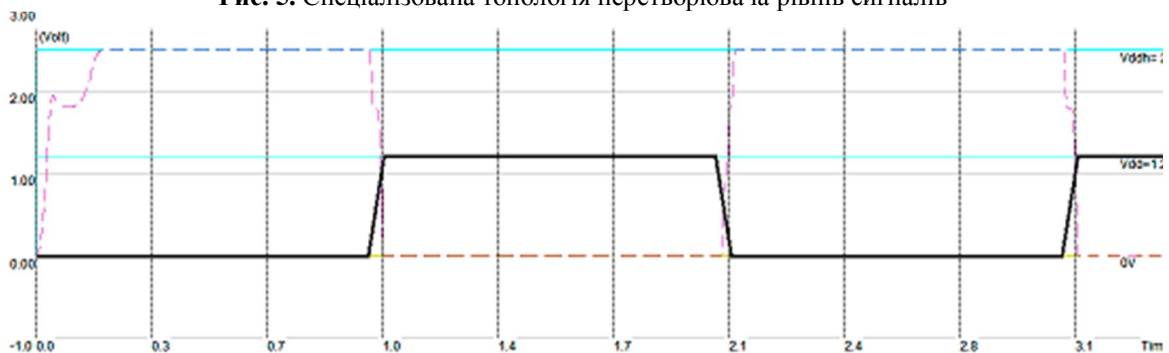


Рис. 6. Часова діаграма вхідного (суцільна лінія) та вихідного (пунктирна) сигналів

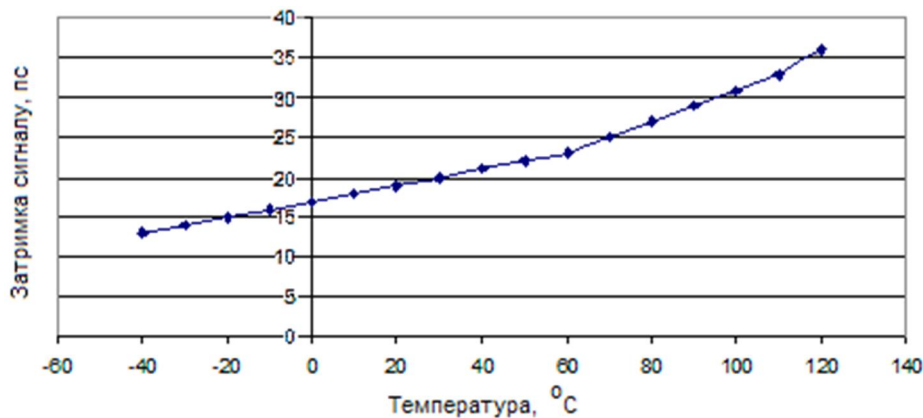


Рис. 7. Температурна залежність затримки вихідного сигналу відносно вхідного за переднім фронтом

комірці БМК, як у попередньому випадку, а на спеціалізованій топології і з меншими 180 нм проектними нормами та двома рівнями металізації для перетворення сигналів з вхідною амплітудою 1,2 В і вихідною - 2,5 В. Топологію цього перетворювача зображено на рис. 5. Позначення р- і n-каналних транзисторів відповідають електричній схемі рис. 1 і є аналогічними топології рис. 2.

Результати схематологічного моделювання схеми перетворювача рівнів сигналів відповідно до схеми рис.1 безпосередньо із топології з врахуванням розмірів транзисторів, впливу паразитних зв'язків та особливостей структури в системі MicroWind [5] зображено на рис. 6.

На рис. 6 суцільною лінією зображено вхідний сигнал низького рівня з амплітудою 1,2 В, а вихідний сигнал з рівнем перетвореної напруги амплітудою 2,5 В - штрих-пунктирною. Такий перетворювач рівнів забезпечує добрі перетворення рівнів сигналів, а затримка вихідного сигналу відносно вхідного на рівні 0,5 амплітуди по передньому фронту становить не більше 20 пс.

Для розробленої топології було проведено моделювання впливу температури на часові затримки вихідного сигналу відносно вхідного по передньому фронту на стандартизованих рівнях 0,5 амплітуди в інтервалі температур від мінус 40 °C до + 125 °C з кроком 10 °C. Результати моделювання

зображено на рис 7.

## Висновки

Спроектовано топологію КМОН перетворювача рівнів сигналів на оригінальній комірці БМК, що складається з попарно розташованих і послідовно з'єднаних 3-х р- і 3-х n-канальних транзисторів та 1-го р- і 1-го n-канального транзисторів та з повною діелектричною ізоляції КНІ МОН-транзисторних

структур між собою для роботи в діапазоні напруг від 2 В до 5 В, а також спеціалізовану топологію перетворювача рівнів з іншими проектними нормами для високочастотних сигналів в діапазоні напруг від 1,2 В до 2,5 В. Досліджено вплив температури на затримки сигналів даних перетворювачів. Результати моделювання можуть бути використані при проектуванні ІС та мікросистем-на-кристалі, зокрема аналітичних.

- [1] І.Т. Когут, А.О.Дружинін, В.І. Голота, В.В. Довгий, Елементи аналітичних мікросистем-на-кристалі на основі тривимірних КНІ-структур./Збірник тез 5-тої української наук. конференції з фізики напівпровідників (Ужгород, Україна, 2011). С. 190.
- [2] <http://www.penzar.com/topspice/topspice.htm>.
- [3] Патент України на корисну модель №62994. МПК G01B 7/16(2006.01), G01L 9/14(2006.01) Комірка базового матричного кристала /Дружинін А.О., Когут І.Т., Голота В.І., Ховерко Ю.М., Довгий В.В., Вуйцик А.М. Подано 18.02.2011. Заявка u201101326. Опубл. 26.09.2011, бюл. №18/2011.
- [4] I.T. Kogut, V.V. Dovhij, Layouts features of SOI CMOS gate matrix arrays /Materials of ICTTFN–XIII, International conference, Physics and technology of thin films and nanosystems (Ivano-Frankivsk, Ukraine, 2011). P.275.
- [5] <http://www.microwind.org>.